

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294423

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 09-099502

(71)Applicant : NEC CORP

(22)Date of filing : 17.04.1997

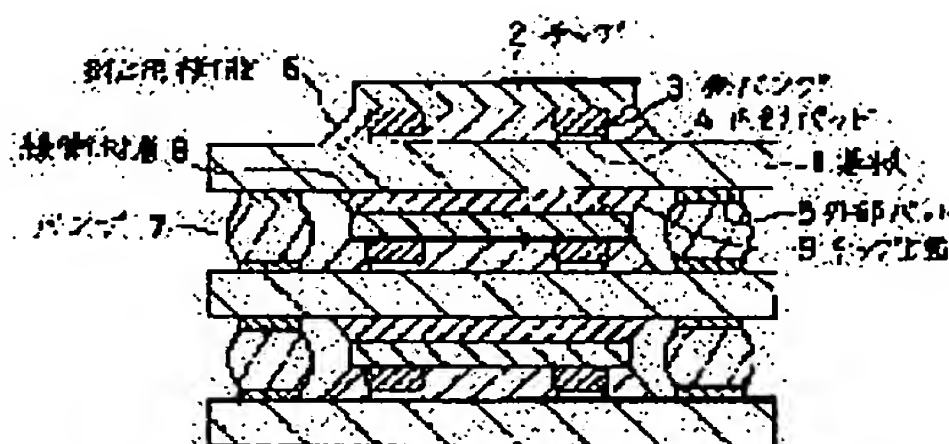
(72)Inventor : TAKAHASHI NOBUAKI
KYOGOKU YOSHITAKA
HASHIMOTO KATSUMASA
MIYAZAKI SHINICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a three-dimensional semiconductor module structure which can be used for space equipment, automobiles, etc., and has an excellent vibration resistance and an excellent shock resistance.

SOLUTION: Substrates 1 each flip-chip connected with a chip 2 by using a gold bump 3 are laminated upon another by using solder bumps 7 for lamination. In the gap between the upper surface 9 of each chip 2 and substrate 1, a buffering material layer 8 is provided by filling up the gap with a soft resin. When a semiconductor device is constructed in such a three-dimensional semiconductor module structure, the vibration and shock resistances of the device are improved, because the buffering material layers 8 absorb external vibrations and shocks applied to the device.



LEGAL STATUS

[Date of request for examination] 17.04.1997

[Date of sending the examiner's decision of rejection] 24.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-294423

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 有 請求項の数4 O L (全 4 頁)

(21)出願番号 特願平9-99502

(22)出願日 平成9年(1997)4月17日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 高橋 信明

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 京極 好孝

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 橋本 克正

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 ▲柳▼川 信

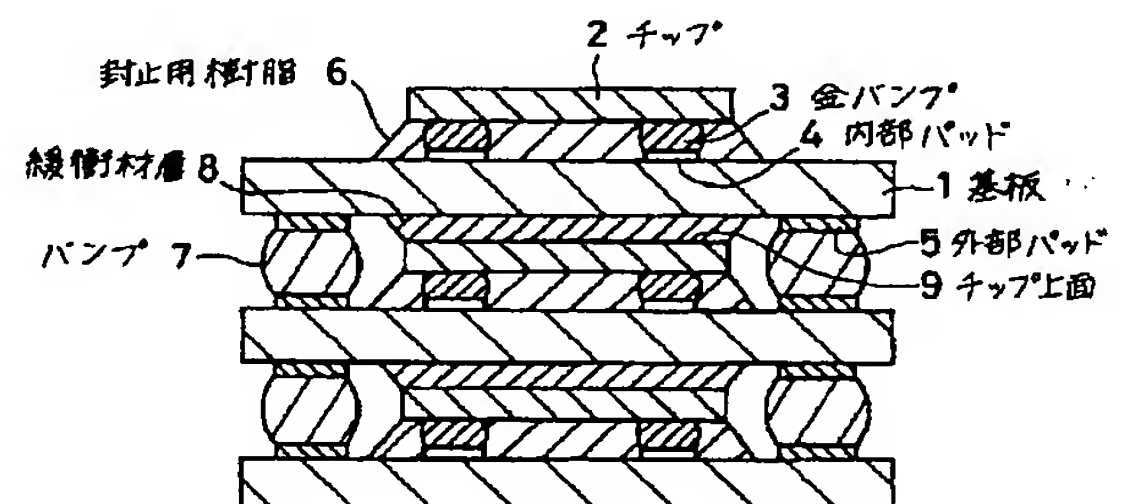
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 宇宙機器や自動車等の用途の使用に耐える、耐振動性、耐衝撃性の優れた3次元半導体モジュールの構造を提供する。

【解決手段】 チップ2が金バンプ3によりフリップチップ接続された基板1を、積層用の半田バンプ7によって複数個積層させる。チップ上面9と基板1との間隙には、柔軟性を有する樹脂を充填させ、緩衝材層8を設ける。この様な3次元半導体モジュールの構造とすることにより、緩衝材層8が外部から加わる振動や衝撃を吸収するため、耐振動性、耐衝撃性が向上する。



【特許請求の範囲】

【請求項1】 半導体チップが夫々搭載された基板が互いに金属電極により複数個電氣的に接続されて積層された構造の半導体装置であって、前記基板の裏面と半導体チップの上面との間に緩衝材を設けたことを特徴とする半導体装置。

【請求項2】 半導体チップが夫々搭載された第1及び第2の基板を含み、前記第1の基板の上に前記第2の基板が搭載された積層構造の半導体装置であって、前記第1の基板上の半導体チップ表面と前記第2の基板の裏面との間に緩衝材を有する半導体装置。

【請求項3】 前記第1及び第2の基板は互いに金属電極であるパンプにより接続されていることを特徴とする請求項2記載の半導体装置。

【請求項4】 積層された前記基板の間の間隙部に前記緩衝材が充填されていることを特徴とする請求項1～3いずれか記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特にベアチップを搭載した基板を三次元的に積層構造としてなる半導体装置に関するものである。

【0002】

【従来の技術】 半導体チップ、特に半導体メモリ実装方法において、より高密度化、小形化、大容量化を達成するために、チップを三次元的に積層させて構成する方法が盛んに開発されている。かかる構造とすることにより、実装面積の大幅な縮小が可能となる。

【0003】 しかしながら、三次元的に積層させると、部材の熱膨張係数の相違により、熱履歴による応力、歪みの発生、更には接続部の不良が発生する。また、宇宙機器等に適用する場合には、耐振動性や耐衝撃性をも考慮する必要がある、いくつかの方法が提案されている。

【0004】 例えば、特開平6-275775号公報に記載されており、図3に示す様に、チップ2をTAB（テープ・オートメיתיッド・ボンディング）テープに搭載し、TAB装置としたものが、3段積層（17A～17C）された構造となっている。

【0005】 図3において、チップ2はバンプ13あるいはフリップチップ法により、リード11に接続されている。チップ2のTABテープ側の部分は保護樹脂12により被覆されている。また、TAB装置はモジュールプレート14に搭載されている。なお、モジュールプレート14は耐熱性が高く、可及的に熱伝導性の良い材料から成っている。

【0006】 TAB装置をモジュールプレート14に搭載する際は、TAB装置をモジュールプレート14の凹部15内に、熱伝導性の高い接着剤6によりチップ2の背面を凹部15の内面に接続する。TABテープのリード11のアウトリード部をモジュールプレート14の

表面側の接続用パターンに接続し、TAB装置とモジュールプレート14からなる単位ユニット17A～17Cが構成される。

【0007】 単位ユニット17A～17Cは緩衝部材18を介した状態で複数個積層（図では3個）されている。緩衝部材21は異方性導電性樹脂あるいは異方性導電性ゴムで形成され、上下方向にのみ導通する構成になっているため、積層された単位ユニット17は電氣的に接続されている。以上の様な構造のため、外部からの衝撃や振動を緩衝部材18が吸収し、装置の耐振動性を改善することができる。

【0008】 他の従来技術として、特開平2-42739号公報に記載されている。図4（a）に示す様に、絶縁基板1上に柔軟性接着剤層20を形成する。この柔軟性接着剤層20の上にパッド21及び配線パターンを形成する。次いで、パッド21の上にチップ2をバンプ22により接続する。

【0009】 または図4（b）に示す様に、絶縁基板1上に柔軟性接着剤層20を形成した後、パッド21及び配線パターンを除き、他の部分をエッチングにより除去する。次いで、残置しているパッド21の上にチップ2をバンプ22により接続する。

【0010】 以上の様な構造とすることにより、柔軟性接着剤層20がチップ2と基板1の間に介在する緩衝層として機能するので、両者間の接続信頼性が向上する。

【0011】

【発明が解決しようとする課題】 特開平6-275775号公報に記載されている従来の技術では、単位ユニットを積層させて相互に電気接続させるための材料として、異方性導電性の樹脂または異方性導電性ゴムを用いている。異方性導電性の樹脂またはゴムは、一般に金属に比較して電気抵抗が高いという問題があるため、特にメモリチップの様な低電圧の用途に適用することは実際には難しい。

【0012】 また、特開平2-42739号公報に記載されている従来の技術では、基板とチップの接続に半田を用いているが、この時確実に接続を行うためにフラックスの使用が現実的である。しかし、フラックス中に含有されるハロゲンイオンが残留すると、ベアチップに悪影響を及ぼすことが知られている。

【0013】 そのため、宇宙機器の様な精密機器においては半田による接続を避け、金等のフラックスが不必要な材料による接続が望まれる。金等からなるバンプによってフリップチップ接続する場合、加熱と共に圧力と振動をかける必要がある。この時、確実な接続を行うためには、ランドはある程度の硬度が必要となる。

【0014】 しかしながら、この従来技術では、ランドの直下に柔軟性のある接着剤の層が金等からなるバンプによる接続は困難である。また、作製工程が複雑で、コスト高となるという問題もある。

【0015】本発明の目的は、極めて簡単な構成で耐振動性や耐衝撃性を向上可能とした半導体装置を提供することである。

【0016】

【課題を解決するための手段】本発明によれば、半導体チップが夫々搭載された基板が互いに金属電極により複数個電気的に接続されて積層された構造の半導体装置であって、前記基板の裏面と半導体チップの上面との間に緩衝材を設けたことを特徴とする半導体装置が得られる。

【0017】また、本発明によれば、半導体チップが夫々搭載された第1及び第2の基板を含み、前記第1の基板の上に前記第2の基板が搭載された積層構造の半導体装置であって、前記第1の基板上の半導体チップ表面と前記第2の基板の裏面との間に緩衝材を有する半導体装置が得られる。

【0018】そして、前記第1及び第2の基板は互いに金属電極である bumps により接続されていることを特徴としており、また、積層された前記基板の間の間隙部に前記緩衝材が充填されていることを特徴としている。

【0019】本発明の作用を述べる。積層かつ接続されたチップ搭載済みの基板間に、柔軟性を有する緩衝材層を設けることにより、外部から加えられる振動や衝撃がこの緩衝材層に吸収されるために、耐振動性や耐衝撃性が向上する。

【0020】

【発明の実施の形態】以下、図面を用いて本発明の実施例について説明する。

【0021】図1は本発明の一実施例の半導体装置の実装構造の断面図である。以下に、図1を参照しつつ作製方法の一例を示す。内部パッド4及び配線パターンが形成してある、例えばアルミナ、ガラスセラミック等からなる基板1と、金 bumps 3 が形成されているチップ2とを、フリップチップ接続する。尚、金 bumps 3 は例えば金ワイヤーを用い、ボール法により作製する。

【0022】基板1側の内部パッド4には、金 bumps 3 による接続を確実にを行うために、メッキ法、スパッタ法等により、予め金が1～5 μmの厚さで形成してある。フリップチップ接続の際は、加熱と加圧あるいは振動等を併用して、熱圧着を行う。その後、チップ2と基板1の間隙に封止用樹脂6を注入し、硬化させ封止する。

【0023】次いで、チップ上面9に柔軟性を有する樹脂による緩衝材層8を設け、半硬化状態としておく。基板1のチップ2が搭載されてる面の外部パッド5に積層用の bumps 7 を形成する。積層用の bumps 7 は、例えば鉛錫半田ボールを外部パッド5にフラックス等の粘着力を利用して配置し、加熱、溶融させることによって形成する。形成した bumps 7 の高さは、少なくとも基板1の面から緩衝材層8の表面までの高さよりも高くなる様に、半田ボールのサイズを選んでおく。

【0024】次に、チップ2が搭載されている基板1を複数個積層させ、リフローにより半田を溶融させ一括で接続する。それと同時に緩衝材層8を完全硬化させ、図1に示す半導体の実装構造となる。または、積層させる工程後に樹脂を注入して緩衝材層8を形成しても良い。

【0025】以上の様な半導体の実装構造とすることにより、チップ上面9と基板1との間に柔軟性を有する樹脂からなる緩衝材層8があるので、外部からの信号や衝撃を吸収し、耐振動性、耐衝撃性が向上する。また、基板1間は金属（半田）からなる bumps 7 で接続しているため、電気抵抗も低い。更に基板の内部パッド4の下部には柔軟性を有する層は存在しないので、金等の bumps によりチップ2と基板1を接続することができる。

【0026】尚、チップ2と基板1を接続するための bumps として、金 bumps を例にとって説明を行ったが、半田 bumps 等を用いることもできる。

【0027】図2は本発明の他の実施例を示す半導体装置の実装構造の断面図である。内部パッド4及び配線パターンが形成してある基板1と、金 bumps 3 が形成されているチップ2とをフリップチップ接続する。基板1側の内部パッド4には、金 bumps 3 による接続を確実にを行うために、メッキ法、スパッタ法等により、予め金が1～5 μmの厚さで形成してある。フリップチップ接続の際は、加熱と加圧あるいは振動等を併用して、熱圧着を行う。

【0028】その後、チップ2と基板1の間隙に封止用樹脂6を注入し、硬化させ封止する。次いで、チップ2が搭載されている面の外部パッド5に、例えば鉛錫半田からなる積層用の bumps 7 を形成する。次に、チップ2が搭載されている基板1を複数個積層させ、リフローにより bumps 7 を溶融させ一括で接続する。次いで、各基板1の間の間隙に柔軟性を有する樹脂を注入し、硬化させ、緩衝材層8を形成し、図2に示す半導体の実装構造となる。

【0029】また、基板1の下面とチップ上面9との間隙が狭いために樹脂が十分に注入できない場合は、先の実施例と同様に形成した後に、基板1の間の間隙に柔軟性を有する樹脂を注入して硬化させ、緩衝材層8とし、図2に示す半導体の実装構造となる。

【0030】以上の様な半導体の実装構造とすることにより、積層された各基板間に柔軟性を有する樹脂からなる緩衝材層8があるので、外部からの振動や衝撃を吸収し、耐振動性、耐衝撃性が向上する。また、基板1間は金属（半田）で接続しているため、電気抵抗も低い。更に基板1の内部パッド4の下部には柔軟性を有する層は存在せず、金等の bumps による接続が可能である。

【0031】尚、チップ2と基板1を接続するための bumps として、金 bumps を例にとって説明を行ったが、半田 bumps 等を用いることもできる。

【0032】

【発明の効果】以上説明した様に本発明によれば、半田バンプにより積層、接続されたチップ搭載済み基板間に、柔軟性を有する緩衝材層を設けているので、外部から加えられる振動、衝撃が緩衝材層に吸収され、耐振動性及び耐衝撃性が向上する。それにより、宇宙機器、自動車等の振動、衝撃等が加わる用途に3次元モジュールを適用することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す半導体の実装構造の断面図である。

【図2】本発明の他の実施例を示す半導体の実装構造の断面図である。

【図3】従来技術を示す半導体の実装構造の断面図であ

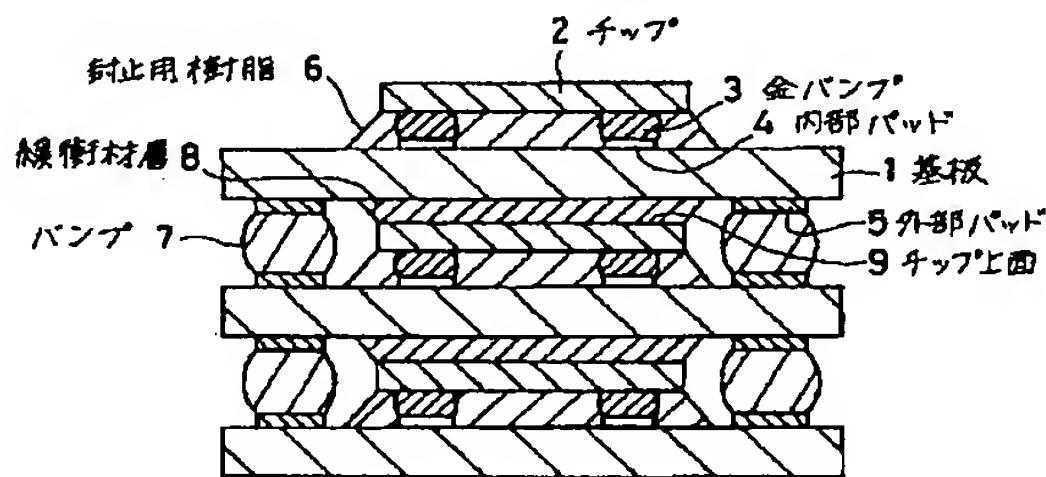
る。

【図4】従来技術を示す半導体の実装構造の断面図である。

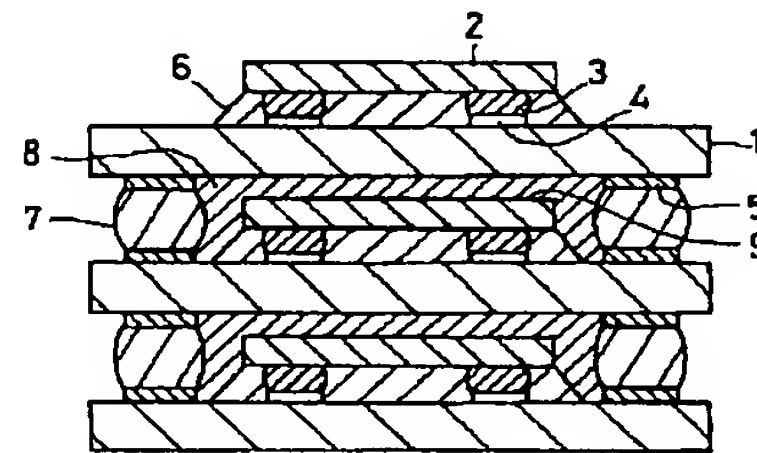
【符号の説明】

- 1 基板
- 2 チップ
- 3 金バンプ
- 4 内部パッド
- 5 外部パッド
- 6 封止樹脂
- 7 バンプ
- 8 緩衝材層
- 9 チップ上面

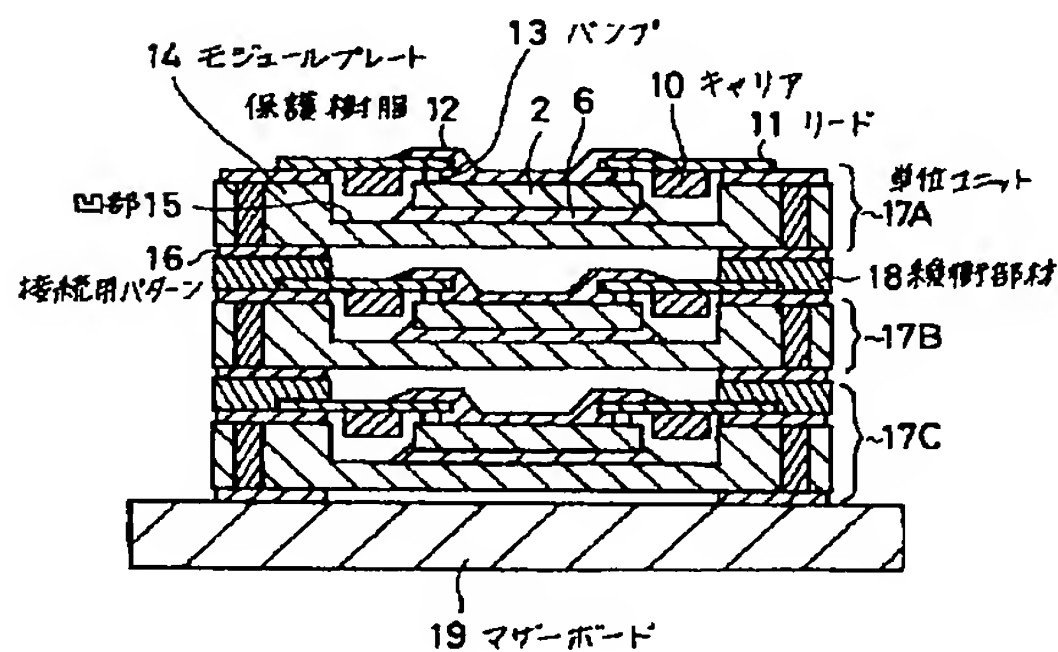
【図1】



【図2】

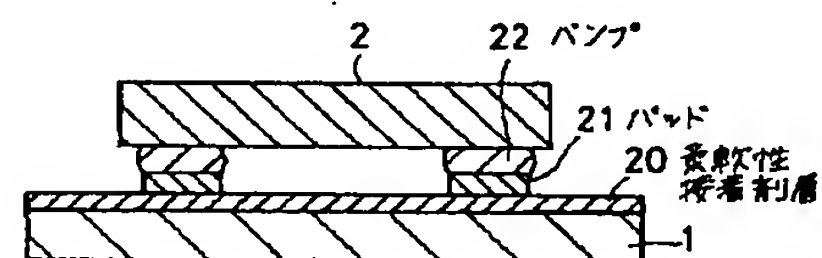


【図3】

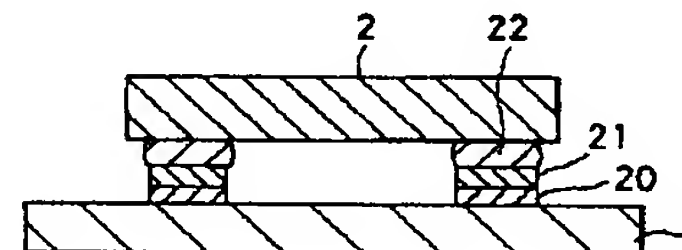


【図4】

(a)



(b)



フロントページの続き

(72)発明者 宮崎 真一
東京都港区芝五丁目7番1号 日本電気株
式会社内